

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP02000164883A
PAT-NO: JP02000164883A
DOCUMENT-IDENTIFIER: JP 2000164883 A
TITLE: MANUFACTURE OF THIN-FILM INSULATING GATE SEMICONDUCTOR
DEVICE

PUBN-DATE: June 16, 2000

INVENTOR-INFORMATION:

NAME

YAMAZAKI, SHUNPEI
TAKEMURA, YASUHIKO

COUNTRY

N/A

N/A

ASSIGNEE-INFORMATION:

NAME

SEMICONDUCTOR ENERGY LAB CO LTD

COUNTRY

N/A

APPL-NO: JP11004760

APPL-DATE: March 25, 1992

INT-CL_(IPC): H01L029/786; H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To simplify a process and improve a yield, by forming an amorphous silicon insulating film as a mask on a gate electrode which is formed on a surface of an insulating substrate, doping impurities through the remained mask, and forming a polycrystalline source and a drain area.

SOLUTION: A gate electrode 102 is patterned on a heat-resistant non-alkaline glass substrate 101 through a mask (1). If necessary, an oxide film 103 is formed on a surface of the gate electrode to improve insulation, and then, a gate insulating film 104 is formed. Subsequently, an amorphous, semi-amorphous, microcrystalline, polycrystalline, or an intermediate type silicon thin film is formed. The film is patterned through a mask (2) to form a semiconductor area 105. And then, a coating is formed, which acts as a mask upon receiving a laser beam. For instance, a silicon nitride film containing a large amount of silicon is formed and patterned through a mask (3). In this

state, an impurity area 108 is selectively formed on the
semiconductor area 105
by ion implantation or ion doping.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-164883

(P2000-164883A)

(43) 公開日 平成12年6月16日 (2000.6.16)

| (51) IntCl ⁷ | 識別記号 | F I | テマコード* (参考) |
|-------------------------|------|---------------|-------------------|
| H 0 1 L 29/786 | | H 0 1 L 29/78 | 6 2 7 G 5 F 1 1 0 |
| 21/336 | | | 6 1 2 A |
| | | | 6 1 6 L |

審査請求 有 請求項の数 3 O L (全 12 頁)

(21) 出願番号 特願平11-4760
(62) 分割の表示 特願平4-98805の分割
(22) 出願日 平成4年3月25日 (1992.3.25)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(74) 代理人 100095061
弁理士 加藤 恭介

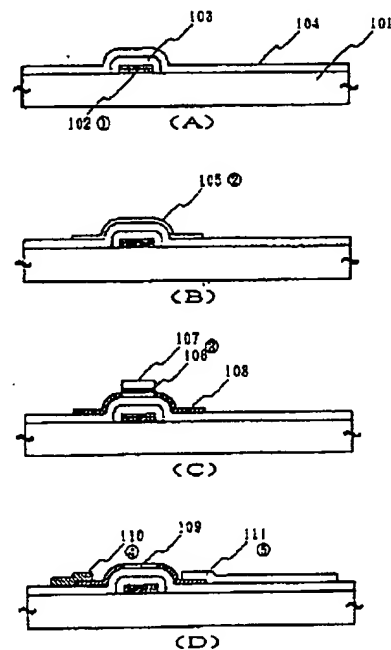
最終頁に続く

(54) 【発明の名称】 薄膜状絶縁ゲート型半導体装置の作製方法

(57) 【要約】

【課題】 逆スタガー型の薄膜トランジスタにおいて、作製工程の簡略化、および品質の優れた薄膜トランジスタを得ることを目的とする。

【解決手段】 絶縁基板上にゲート電極を形成し、その上にゲート絶縁膜が形成される。当該ゲート絶縁膜上には、非晶質珪素膜が形成された後、不純物ドーピングを行う。次に、前記非晶質珪素膜にレーザを照射して、多結晶化されたソース領域およびドレイン領域が形成される。



【特許請求の範囲】

【請求項1】 絶縁表面上に薄膜状絶縁ゲイト型半導体装置を作製する方法において、絶縁表面上にゲイト電極を形成し、前記ゲイト電極の上にゲイト絶縁膜を形成し、前記ゲイト絶縁膜の上に非晶質珪素膜を形成し、前記非晶質珪素膜の上にマスクを形成し、当該マスクを残存させた状態で前記非晶質珪素膜に不純物ドーピングを行い、次いでレーザー光を前記非晶質珪素膜に照射することで多結晶化したソース領域およびドレイン領域を形成する方法を含むことを特徴とする薄膜状絶縁ゲイト型半導体装置の作製方法。

【請求項2】 絶縁表面上に薄膜状絶縁ゲイト型半導体装置を作製する方法において、絶縁表面上にゲイト電極を形成し、前記ゲイト電極の上にゲイト絶縁膜を形成し、前記ゲイト絶縁膜の上に非晶質珪素膜を形成し、前記非晶質珪素膜の上にマスクを形成し、当該マスクを残存させた状態で前記非晶質珪素膜に不純物ドーピングを行い、次いでレーザー光を前記非晶質珪素膜に照射することで多結晶化したソース領域およびドレイン領域を形成した後に前記マスクを除去する方法を含むことを特徴とする薄膜状絶縁ゲイト型半導体装置の作製方法。

【請求項3】 前記ゲイト電極は、陽極酸化によって陽極酸化膜が形成されることを特徴とする請求項1又は請求項2に記載の薄膜状絶縁ゲイト型電界効果半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MIS (Metal-Insulator-Semiconductor; 金属-絶縁体-半導体) 型半導体装置、特にMISトランジスタの作製方法に関する。特に、本発明は、絶縁基板上に形成された薄膜上のMIS型半導体装置、薄膜トランジスタ(TFT)の作製方法に関し、なかでも、チャネル形成領域が、ゲイト電極の上方に位置する、いわゆる逆スタガー型の構造を有するMIS型半導体装置の作製方法に関するものである。本発明の利用しうる分野としては、絶縁基板上に形成された半導体集積回路、例えば液晶表示装置に用いられるアクティブマトリクス型回路やイメージセンサーの駆動回路等である。

【0002】

【従来の技術】近年、絶縁基板上に薄膜状のMIS型半導体装置を形成した装置をもちいることがある。例えば、アクティブマトリクス型液晶表示装置等である。現在、市販されているアクティブマトリクス型回路は、TFTを利用したもの、MIM等のダイオードを利用したものがある。特に、前者は高品位な画像が得られるとして近年、さかんに製造されている。

【0003】TFTを利用したアクティブマトリクス回路は、多結晶シリコン等の多結晶半導体を利用したTFT

と、アモルファスシリコンのようなアモルファス半導体を利用したTFTが知られている。後者は作製プロセス上の問題から、大画面のものは作製が困難であり、大画面用には350℃以下のプロセス温度で作製できる後者が主として用いられる。

【0004】図2には従来のアモルファスシリコンTFT (逆スタガー型) の作製工程を示す。基板201としては、コーニング7059等の耐熱性のある無アルカリガラスが使用される。アモルファスシリコンTFTのプロセスの最高温度は、350℃程度であるので、この温度に耐えられるだけの材料が必要である。特に、液晶表示パネルとして使用する場合には、熱処理によって歪むことがないような耐熱性と高いガラス転移温度が必要である。コーニング7059の場合には、このガラス転移温度が600℃弱なので条件を満たす。

【0005】また、TFTの動作を安定にするためには、ナトリウムのような可動イオンが基板中に含まれていることは望ましくない。コーニング7059はアルカリ濃度が十分に低いので問題はないが、もし、基板中に多量のナトリウム等が含まれている場合には、基板中の可動イオンがTFTに侵入しないように、窒化珪素、酸化アルミニウム等のパッシベーション膜を形成する必要がある。

【0006】ついで、アルミニウムやタンタルのような材料で、被膜を形成し、マスク①でパターンニングして、ゲイト電極202を形成する。特に、ゲイト電極・配線と上部の配線との短絡を防止するためには、このゲイト電極202の表面に酸化膜203を形成しておけばよい。酸化膜の形成方法としては、陽極酸化法が主として用いられる。

【0007】そして、ゲイト電極202上には、ゲイト絶縁膜204が形成される。このゲイト絶縁膜204としては、一般には窒化珪素が用いられるが、酸化珪素であってもよく、あるいは窒素と酸素が任意の比率で混じった珪化物であってもよい。また、単層の膜であってもよいし、多層の膜であってもよい。ゲイト絶縁膜204として窒化珪素膜を使用する場合には、プラズマCVD法を使用した場合には、プロセス温度が350℃程度になり、本工程の最高となる。この状態を図2(A)に示す。

【0008】さらに、ゲイト絶縁膜204上には、アモルファスシリコン膜が形成される。プラズマCVD法を使用する場合であれば、基板温度は、250～300℃が必要とされる。この膜の厚さは、薄い方が望ましく、通常は10～100nm、好ましくは10～30nmとされる。そして、マスク②でパターンニングして、アモルファスシリコン領域205を形成する。このアモルファスシリコン領域205は、後に、TFTのチャネル形成領域となる。ここまでの状態を図2(B)に示す。

【0009】さらに、全体に窒化珪素膜を形成して、こ

れをマスク④でパターンニングし、エッチングストッパー206とする。このエッチングストッパー206は、後の工程で、誤って、チャネル形成領域のアモルファスシリコン領域205をエッチングしないように設けられるものである。なぜなら、前述のようにアモルファスシリコン領域205は、10~100nmという薄さであるからである。また、エッチングストッパーの下部のアモルファスシリコン領域205はチャネル形成領域として機能するので、エッチングストッパー206はできるだけゲイト電極202に重なるように設計される。しかし、通常のマスク合わせでは多少のずれが生じるので、ゲイト電極202に十分に重なるだけパターンニングされる。

【0010】その後、N型もしくはP型の導電型のシリコンの被膜を形成する。通常のアモルファスシリコンTFTは、Nチャネル型とされる。このシリコンの被膜はアモルファスシリコンでは、あまりにも導電率が低いので、微結晶状態のシリコン膜とする。N型の微結晶シリコン膜は、プラズマCVD法で350℃以下の温度で作製することができる。しかし、それでも抵抗が十分に低くないので、200nm以上の厚さとする必要があった。また、P型の微結晶シリコン膜は著しく抵抗が大きいので用いることができず、したがって、Pチャネル型TFTをアモルファスシリコンで作製することは困難であった。

【0011】このようにして形成されたシリコン膜をマスク④でパターンニングし、N型微結晶シリコン領域207が形成される。ここまでの状態を図2(C)に示す。

【0012】図2(C)の状態では、(N型の)微結晶シリコン膜が、エッチングストッパー上で接合しているので、TFTは機能しない。したがって、これを分断する必要がある。そこで、マスク⑤を用いて、これを分断し、溝208を形成する。もし、エッチングストッパー206がなければ、誤って下地のアモルファスシリコン領域205までもエッチングしてしまう恐れがある。なぜなら、微結晶シリコン領域207の厚さは、その下のアモルファスシリコン領域205の数倍から10数倍、あるいはそれ以上も厚いからである。

【0013】その後、公知の方法によって、配線209や画素電極210が、マスク⑥、⑦を用いて作製される。この状態を図2(D)に示す。

【0014】以上の方法では、マスクの枚数が7枚という多量であるので、歩留りの低下が懸念される。そこで、以下に示すように、マスク枚数を減らす方法も提案されている。まず、基板上に第1のマスクを使用して、ゲイト電極部をパターンニングする。その後、ゲイト絶縁膜を形成し、さらに、アモルファスシリコン膜と窒化珪素膜(後にエッチングストッパーとなる)を連続的に形成する。そして、裏面から露光して、ゲイト電極部をマ

スクとして窒化珪素膜のみを自己整合的にエッチングしてエッチングストッパーを形成する。そして、その上に微結晶シリコン膜を形成し、第2のマスクを用いて、チャネル上方の溝(図2の208に対応)を含むTFTの領域を形成する。その後、第3、第4のマスクを用いて、配線や電極を形成する。最終的には図2(D)で示されるものと同等なものが得られる。このように、セルフアライン工程を駆使することにより、マスク数を3枚減らすことができる。

【0015】

10 【発明が解決しようとする課題】さて、このようにして形成されたTFTは、図からわかるように、非常に凹凸の激しいものとなる。これは主に、ゲイト電極部(ゲイト電極の酸化物を含む)、エッチングストッパーと微結晶シリコン領域に起因するものであり、ゲイト電極部の厚さを300nm、エッチングストッパーの厚さを200nm、微結晶シリコン領域の厚さを300nmとすれば、基板上には800nmもの凹凸が生じることとなる。

【0016】例えば、液晶表示パネルのアクティブマトリクス回路として使用する場合には、セルの厚さは、5~6μmの厚さで、0.1μm以下の精度で制御されている。このような条件で、1μmもの凹凸があればセルの厚さの均一性に著しい欠陥を与えることとなる。

【0017】しかし、TFTの凹凸の原因として挙げられるこれらの要因は、いずれも簡単に低減できるものではない。すなわち、ゲイト電極部を薄くするためには、ゲイト電極・配線の抵抗を高くすることとなる。かといって、抵抗を一定に保つためにゲイト電極の幅(すなわちチャネル長)を広くすると、TFTの動作速度が低下するばかりか、TFT部分の面積が大きくなり、液晶表示装置に使用する場合には開口率の低下につながる。

【0018】また、エッチングストッパーが薄いと、微結晶シリコン領域をエッチングしている間に誤って、その下のアモルファスシリコン領域までエッチングする可能性があり、歩留りが低下する。さらに、微結晶シリコン領域の厚さが薄いと、TFTのソース/ドレイン領域の抵抗が大きくなり、TFTのON/OFF比が低下する。

【0019】さらに、エッチングストッパーは、TFTの完成時にもそのまま残存するが、これに使用される窒化珪素膜は、電荷をトラップする性質を有し、何らかの理由でここに電荷がトラップされると、その下のアモルファスシリコン領域205に不本意なチャネルが形成されてしまい、ドレイン電流のリークの要因となる。この問題点を避けるためには、エッチングストッパーを酸化珪素と窒化珪素の2層構造とすることが必要であるが、その場合も酸化珪素膜の厚さは、十分に大きなことが必要であり、好ましくは100nm以上が必要である。

【0020】本発明は、このような従来の問題点に鑑みてなされたものであり、本発明の目的の一つは、プロセスの簡略化である。例えば、マスクの枚数を従来の方法

よりも減らすことによって歩留りを向上せしめる。あるいは、成膜工程を減らすことによってスループットを向上させ、コストを低減させることを目的とする。

【0021】本発明の他の目的は、TFTをより平坦にすることである。このことによって、液晶表示パネルに使用する場合の問題を解決することができるばかりか、他の応用においても平坦化は重要な技術課題であり、従来のTFTでは応用が困難であったものにも応用することが可能となる。

【0022】

【課題を解決するための手段】上記の諸問題点を解決するために、本発明は、エッチングストッパーを使用しない全く新しいTFT作製方法を提案する。また、微結晶シリコン領域（ソース/ドレイン）の厚さを薄くするためにはその抵抗が十分に低くなるようにする。さらに、本発明では、従来のようにチャンネル形成領域となるアモルファスシリコン領域（膜）の形成と、ソース/ドレイン領域となる微結晶シリコン領域（膜）の形成というような2段階のプロセスを経ずして、1枚のシリコン膜を形成し、これのある部分はソース/ドレイン領域にある部分はチャンネル形成領域に作製し直すという構成を有する。

【0023】スループットの向上に際しては、被膜の作製を少なくすることが最重要課題である。成膜工程は、成膜に時間を要するだけでなく、チャンバー内のクリーニングにも同程度の時間を要し、極めて清浄な環境を要求される現代の半導体プロセスにおいては、チャンバーの掃除の合間に成膜をおこなうというのが実情である。したがって、厚い被膜を形成するよりも薄い被膜を形成することが、多層の被膜を形成するより単層の被膜を形成することが、スループットを上げるうえで必要である。その意味で、成膜工程を削減することは望ましい。

【0024】本発明の1つの技術思想に基づいたTFTは、以下のような構成を有する。まず、逆スタガー型のTFTである。ゲイト電極を覆ってゲイト絶縁膜が形成され、さらに、半導体膜が形成されているが、そのゲイト電極の上方の部分はチャンネル形成領域として機能するように実質的に真性である。その他の部分はN型もしくはP型であり、ソース/ドレインとして機能する。また、チャンネル形成領域として機能する部分は、アモルファス、セミアモルファス、微結晶、多結晶、あるいはそれらの中間状態のいずれをも取りうる。オフ電流を抑えたい場合には、アモルファスが望ましい。一方、ソース/ドレインとして機能する領域は、十分に抵抗の小さな多結晶、セミアモルファス、あるいは微結晶である。しかも、本発明では、この領域はレーザーアニールによって形成されることを特徴とする。

【0025】このような構成では、被膜の形成は、半導体膜を1層だけ形成すればよく、量産性が向上する。さらに、従来の、微結晶シリコンが形成されなければTF

Tの凹凸を減らすことができる。もちろん、本発明は、チャンネル形成領域とソース/ドレイン等の不純物領域をただの1層の半導体膜で形成することを要求するのではなく、コストと特性を考慮して、素子の特性をより向上させるために多層としてもよいことは言うまでもない。

【0026】さらに、本発明の別の技術思想に基づいたTFTは、チャンネル形成領域の上部にエッチングストッパーを有しないことを特徴とする。少なくとも窒化珪素あるいは類似の電荷トラップの性質を有する材料がチャンネル形成領域に密着、あるいは薄い（100nm以下）絶縁膜を介して存在しないことを特徴とする。

【0027】エッチングストッパーが存在することは、TFTの凹凸の重要な要因であり、エッチングストッパーが窒化珪素のごとき材料で構成されている場合には、ドレイン電流のリークも生じる。本発明の上記の技術思想によって、このような問題点が解決される。

【0028】もちろん、本発明のこの技術思想がチャンネル形成領域の上に何の物体も存在しないことを要求するのではなく、上記の問題点を露頭せしめない程度の物体が存在することは何ら問題ではない。

【0029】本発明のTFTの作製は図1に示される方法によっておこなわれるが、もちろん、この工程図に必要な変更が加えられることはありうる。図に示すように、耐熱性無アルカリガラス（例えばコーニング7059）基板101上に、ゲイト電極102がマスク④によってパターンニングされる。必要によっては、図1に示すようにゲイト電極の表面に酸化膜103を形成して、絶縁性を高めてもよい。さらに、ゲイト絶縁膜104を形成する。こうして、図1(A)を得る。

【0030】次に、アモルファス、セミアモルファス、微結晶、多結晶、あるいはそれらの中間状態のシリコンの薄膜を形成し、マスク④によってパターンニングをおこない、半導体領域105を形成する。実際には、成膜温度とオフ電流を考慮してアモルファスシリコン膜を形成するケースが多いが、レーザーアニール等の低温結晶化技術を使用して多結晶、あるいはセミアモルファスシリコンとしてもよい。しかし、多結晶シリコンやセミアモルファスシリコンを使用した場合には、電界移動度が大きくなるが、オフ電流も大きくなるので、液晶表示パネルのアクティブマトリクス回路には適当でない。

【0031】次いで、レーザー光に対してマスク材となるような被膜、例えば珪素の多い窒化珪素膜（厚さ50nm以上が好ましい）を形成して、これをマスク④にてパターンニングする。このときには、窒化珪素膜の上にフォトリソレジストを残存させてもよい。すなわち、図1

(C)において、106が窒化珪素膜であり、107がフォトリソレジストである。後のイオン注入の工程を想定して、フォトリソレジストの厚さは、100nm以上、好ましくは500nm以上とする。

【0032】この状態で、最初にイオン注入あるいはイ

オンドープ等の方法によって、半導体領域105に選択的に不純物を注入する。こうして、不純物領域108が形成される。しかしながら、この不純物注入によって半導体膜中には、非常に大きな欠陥が生じてしまい、もはや半導体としては機能しなくなる。そこで、レーザー光を上方から照射して結晶化をおこなう。このレーザーアニール工程では、そのレーザー光のパルス幅やエネルギー密度を適当に制御することによって、極めて単結晶状態に近い多結晶状態からセミアモルファス状態まで様々な状態のシリコンを形成することが出来る。

【0033】もし、窒化珪素膜106が存在しない場合にはレーザー光は、不純物のドーピングされていないチャネル形成領域として機能する領域まで到達し、その部分を結晶化させる。窒化珪素膜が存在する場合には、それによって光が多く吸収され、結晶化はおこらず、最初の状態が保たれる。

【0034】チャネル領域がレーザー光によって結晶化することは、移動度が増大するという点からは好ましいことのように思えるが、現在のレーザー技術では、レーザーのショットのエネルギーのばらつきによって、結晶化の程度のばらつきが極めて大きく、移動度がまちま

ちのTFTが形成されてしまう。
【0035】一定の移動度のTFTだけが要求される場合には何ら問題はないが、移動度として一定の下限値を満足させ、さらにオフ電流も一定の上限値を満足させるとなると条件は極めて厳しくなる。なぜならば、移動度の大きなTFTでは、一般的にオフ電流も大きくなるからである。例えば、液晶表示パネルのアクティブマトリクス回路においては、移動度だけでなく、オフ電流も重要なファクターであるので、粒のそろったTFTが要求される。したがって、そのような場合には、むしろ移動度は、低くてもオフ電流の低いアモルファスシリコンあるいはそれに近い材料でできたTFTが望まれる。したがって、本発明においても、そのような目的の場合には、レーザー光が誤ってチャネル形成領域に入らないようにしなければならない。

【0036】このドーピング工程は、レーザードーピングによっておこなってもよい。レーザードーピングとは、不純物を含有する雰囲気中に試料を置き、そこにレーザー光もしくはそれと同等な強光を照射することによって、試料表面を加熱、活性化せしめ、さらに不純物ガスを分解して、試料表面に拡散させる方法である。不純物ガスとしては、N型を付与する場合には PH_3 （フォスフィン）が、P型を付与する場合には B_2H_6 （ジボラン）が一般によく使用される。

【0037】本発明人等の知見によると、レーザー照射時には、試料を250～500℃程度に加熱しておく

と、また、ガラス基板にも制約が加わることから、250～350℃程度の加熱にとどめることが望ましい。また、レーザードーピングをおこなう場合には、フォトリソマスク107は必ずしも必要でない。イオン注入のようなドーピング法では、注入される高エネルギーイオンが誤ってチャネル形成領域に入らないように、イオンエネルギーを十分に減衰させられるだけの十分な厚さのフォトリソ等のマスクが必要なのであるが、レーザードーピングは一種の熱拡散法であるので、窒化珪素マスク106のような熱的な拡散に対して十分なマスク作用を有する材料のマスクだけで十分である。レーザードーピング技術の詳細については、本発明人等の発明である特願平3-283981に記述されている。

【0038】このようにドーピングをおこなった後、窒化珪素膜106とフォトリソ（大抵の場合、レーザー光の照射によって蒸発してしまう）107を除去し、公知の方法によって、配線110やITOの画素電極111を、マスク④および⑤によって形成する。以上の工程によって必要なマスクは、合計5枚であるが、従来のようにセルフアライン方式を駆使することによって4枚まで低減できる。すなわち、ゲイト電極の形成に1枚、半導体領域の形成に1枚、画素電極と配線の形成に計2枚を必要とする。窒化珪素膜106等のパターニングには、ゲイト電極をマスクとする裏面露光をおこなって対処する。

【0039】図1(D)から明らかなように、本発明によるTFTは、従来のTFTに比べて凹凸が小さい。これは、凹凸の主な要因が、ゲイト電極部の凹凸だけだからである。半導体領域105の厚さは、極めて薄く、従来のTFTと同様に10～100nmであるので、大した寄与をしない。

【0040】このように半導体領域、すなわちソース/ドレインが薄くても良いのは、該領域の不純物濃度が十分大きく、かつその結晶性が良好だからであり、つまるところ、レーザーアニールあるいはレーザードーピングによって本発明の特徴がもたらされたのである。また、本発明では、従来のようにエッチングストッパーは、存在せず、また、本発明で使用されるマスク材も、TFT完成後は残存することは、必要とされないもので、TFTの凹凸は、著しく減少する。

【0041】本発明によって、従来のアモルファスシリコンTFTで主として作製されたNチャネルTFT(N-TFT)以外に、従来の技術では困難であった実用的なPチャネルTFT(P-TFT)も作製できるようになった。すなわち、従来はチャネル領域のアモルファスシリコン中のホールの移動度が電子の移動度に比べて小さいに加えて、ソース/ドレインの十分に抵抗の低いP型シリコンが得られなかったためにP-TFTは現実的ではなかったのであるが、本発明によって、P型シリコンの

抵抗をN型シリコンに匹敵するだけ低くすることが可能となったために、実際に素子として機能するPTFTが作製できるようになったのである。

【0042】したがって、相補型MOS回路(CMOS回路)をアモルファスシリコンTFTあるいは低温作製TFTによって構成することが可能となった。従来、TFTを使用したCMOS回路は、1000℃以上の温度で石英基板上に形成される高温作製TFTか、600℃程度の温度で無アルカリガラス基板上に形成される中温作製TFTに限られていた。最高プロセス温度が350℃程度のTFTによって構成されたCMOS回路は、従来、不可能と思われていた。

【0043】図3にはその例を示す。図1に示した方法と同じように、基板301上にNTFTのゲイト電極302とPTFTのゲイト電極303とを第1のマスクによって形成し、その後、必要によっては、ゲイト電極の表面を陽極酸化法によって酸化して、ゲイト絶縁膜304を形成する。さらに、第2のマスクを使用してNTFTの半導体領域305とPTFTの半導体領域306とを形成する。

【0044】半導体領域は結晶性の良好なものほど、PTFTの移動度が大きなものが得られる。CMOSとして機能させるには、NTFTの移動度とPTFTの移動度があまりに違いすぎるとよくない。移動度の大きなPTFTを得るためには、被膜の作製温度を高くすると良いが、基板の制約等の条件からむやみに成膜温度は上げられない。しかし、基板温度350℃程度でもジシランやトリシランのようなポリシランを用いて被膜を形成すると、見掛けの上では、アモルファスではあるが、移動度がNTFTの数分の1程度のものが得られる。また、プラズマCVD法で被膜を形成したのち、水素雰囲気

で300～350℃程度で、24時間以上のアニールをおこなってもよい。

【0045】その後、窒化珪素のマスク307と308とを、第3のマスクを使用してパターンニングする。もちろん、先に示したようにゲイト電極をマスクとする裏面露光法によって、セルフアライン的に、この窒化珪素マスクを形成してもよい。その場合には、第3のマスクは不要である。このようにして得られた素子の断面図を図3(A)に示す。

【0046】その後、まず、PTFTの領域に第4のマスクを使用してフォトレジストのマスク309を形成し、図3(B)に示すように、フォスフィンPH₃の雰囲気中でレーザーを照射する。こうしてNTFT(左側)の不純物領域310を形成する。さらに、今度はNTFTの領域に第5のマスクを使用してフォトレジストのマスク311を形成し、図3(C)に示すように、ジボランB₂H₆の雰囲気中でレーザーを照射し、PTFT(右側)の不純物領域312を形成する。いずれのレーザードーピングの工程においても、窒化珪素マスクによ

ってレーザー光が吸収されるので、チャンネル形成領域313、314は結晶化しない。

【0047】その後、図3(C)に示すように、公知の金属配線技術(第6のマスクを使用)によって、金属配線(アルミニウム等)315、316、317を形成すればNTFT318とPTFT319からなるCMOS回路が形成される。

【0048】上記のプロセスにおいては、6枚のマスクを使用するが、窒化珪素マスク307、308を作製する際に裏面露光技術を用いれば、1枚のマスクが削減される。また、レーザードーピングの工程は、公知のイオン注入法やイオンドーピング法によってもおこなうことができる。また、不純物領域の形成に際し、特に、不純物濃度の微妙な制御が可能なイオン注入法やイオンドーピング法によってもおこなう場合には、NTFTの不純物領域とPTFTの不純物領域を分けて作製するのではなく、最初に、いずれかの導電型の不純物領域を全てのTFTに於いて形成し、その後、特定のTFTだけに逆の導電型とすることも可能である。その場合には、さらにマスクが1枚削減される。しかしながら、この方法は、不純物濃度の制御がレーザードーピングでは難しい。

【0049】レーザードーピングにて、このような方法をおこなおうとすれば、最初に基板温度を若干低めに設定して、全TFTに対して、ある導電型の不純物領域を形成し、次に、基板温度を上げて、特定のTFTだけに逆の導電型のドーピングをおこなうことによって対応できる。なぜなら、基板温度が高くなるほど、ドーピングされる不純物濃度が大きくなるからである。

【0050】本発明では、特にレーザードーピングに関しては、図4に示すような方法も可能である。この方法では裏面からレーザー光を照射することによって、ゲイト電極部をマスクとして、セルフアライン的にドーピングをおこなうものである。

【0051】まず、図1の場合と同様に、レーザー光を透過する基板401上にマスク①を使用して、ゲイト電極402を形成する。必要に応じてその酸化物403を形成し、さらに、ゲイト絶縁膜404を形成する。そして、マスク②を用いて、半導体領域405をパターンニングする。(図4(A)、(B))

【0052】次いで、基板の裏面からレーザー光を照射する。このとき、レーザー光は、図4(C)に示すように基板中では平行に進行するが、ゲイト電極部は凹凸があるため、レーザー光は屈折し、また、ゲイト電極等で回折し、平行度が損なわれる。加えて、このような凹凸部では、レーザーの透過する部分(酸化物層403やゲイト絶縁膜404)においては、レーザー光が他の部分に比べて多く吸収される。その結果、単にゲイト電極によってマスクされるだけでなく、上記のような複雑な現象によって、ゲイト電極部の上方と凸部では、レーザー

光の強度は、著しく低下し、もはやレーザードーピングがおこなわれることはない。したがって、初期の状態が保たれ、チャネル形成領域406となる。

【0053】一方、その他の部分では、レーザードーピングがおこなわれ、不純物領域407が形成される。その後、マスク③、④によって金属配線409と画素電極410等を形成すればよい。

【0054】この方法は、他の方法に比べて、工程が極めて簡単である。すなわち、マスク数は、図1の方法で裏面露光のセルフアラインプロセスを採用した場合と同じく4枚である。また、図1の方法と違い、マスク（例えば図1の106）を形成する露光工程が1つ減る。当然のことながら、マスクに用いる窒化珪素膜等を形成する工程は不要である。また、これが本方法の最大の特徴であるのだが、ソース/ドレインとゲイト電極の重なりが少なく、寄生容量を抑えることができる。

【0055】しかしながら、本方法では、基板にレーザー光に対して透明なものを使用しなければならない。コーニング7059ガラス基板は、理想的な無アルカリガラスであるが、紫外線の透過度がよくないので、エキシマーレーザーによってレーザードーピングをおこなうには不適當である。あえて、コーニング7059ガラスを使用せんとすれば、レーザーの波長を長いもの（例えばアルゴンイオンレーザーやNd:YAGレーザー等）にする必要がある。さらには、エキシマーレーザー光を非線型光学効果によって、波長を2倍あるいはそれ以上の長さとすることも可能である。

【0056】

【実施例】〔実施例1〕 本実施例は図5に示す作製工程にしたがって形成された。作製工程断面図は図1に対応する。ただし、図1の金属配線・電極110形成工程までで、ITO画素電極111形成の工程は含まれない。ゲイト電極は、タンタルであり、ゲイト電極の表面には、工程5において厚さ約200nmの陽極酸化膜を形成して絶縁性を向上せしめた。不純物のドーピング手段には、イオンドーピング法を用いた。本工程で使用されているマスクの枚数は4枚である。全工程は26工程からなる。

【0057】図5～図10において、『スパッタ』は、スパッタリング成膜法、『PCVD』は、プラズマCVD法、『RIE』は、反応性イオンエッチング法を意味する。また、これらの手法の後に：に続いて書かれているのは、膜厚、使用ガス等である。

【0058】本実施例に対応する従来の作製工程は断面図は図2に、工程図は図9に示されるが、ここでは、使用されるマスクの枚数は6枚であり、全工程は29工程からなる。

【0059】以下、工程図にしたがって、本実施例を詳細に説明する。基板としては、コーニング7059ガラス（図1の101）を使用した。これを洗浄し（工程

1）、その上にスパッタ法でタンタル膜を厚さ200nm形成した（工程2）。そして、これをマスク⑤でパターンニングし（工程3）、混酸（5%の硝酸を含む磷酸）でエッチングした（工程4）。その後、タンタルゲイト電極（図1の102）に通電して陽極酸化をおこない、最大で250Vまで電圧を上げて、陽極酸化膜（図1の103）を厚さ200nm形成した（工程5）。陽極酸化の手法については、特願平3-237100号もしくは特願平3-238713号に記述されているので、ここでは詳述しない。

【0060】その後、レジストを除去し（工程6）、ゲイト絶縁膜である窒化珪素膜（図1の104）をプラズマCVD法によって厚さ200nm形成した（工程7）。このときの基板温度は300℃とした。そして、基板洗浄（工程8）後、プラズマCVD法によって厚さ30nmのアモルファスシリコン膜を形成した（工程9）このときの基板温度は300℃とした。

【0061】そして、マスク⑥によって、半導体領域のパターンニングをおこない（工程10）、アモルファスシリコン膜をCF₄を反応ガスとする反応性イオンエッチング法によってエッチングして（工程11）、半導体領域（図1の105）を形成した。残ったレジストは除去し（工程12）、基板を洗浄した（工程13）。

【0062】その後、厚さ200nmの窒化珪素膜をプラズマCVD法によって形成した（工程14）。このときの基板温度は、300℃とした。そして、マスク⑦によって、窒化珪素マスクのパターンニングをおこない（工程15）、窒化珪素膜をバッファー弗酸でエッチングして（工程16）、窒化珪素マスク（図1の106）を形成した。窒化珪素マスクの上には、厚さ約500nmのレジスト（図1の107）が残った。

【0063】ついで、イオンドーピング法によって、 $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量のリンイオンを10keVの加速エネルギーで打ち込み（工程17）、不純物領域（図1の108）を形成した。その後、基板を洗浄し（工程18）、残存したレジストを除去した（工程19）。

【0064】その後、XeClエキシマーレーザーによってレーザーアニールをおこない（工程20）、窒化珪素マスク（図1の106）をバッファー弗酸でエッチングして除去した（工程21）。その後、基板を洗浄した（工程22）。

【0065】そして、アルミニウム被膜をスパッタ法によって、厚さ400nm形成し（工程23）、アルミニウム配線をマスク⑧によってパターンニングし（工程24）、さらに、混酸によってアルミニウム被膜をエッチングして（工程25）、アルミニウム配線（図1の110）を形成した。残存したレジストは除去した（工程26）。以上の工程を経てNTFTが作製された。

【0066】〔実施例2〕 本実施例は、図6に示す作

製工程にしたがって形成された。作製工程断面図は、裏面露光技術を用いる点を除けば図1に対応する。ただし、図6に示されているのは、実施例1と同様、図1の金属配線・電極110形成工程までの工程である。ゲイト電極は、アルミニウムであり、ゲイト電極の表面には、工程5において厚さ約200nmの陽極酸化膜を形成して、絶縁性を向上せしめた。窒化珪素マスクの形成には、裏面露光技術を用いた。不純物のドーピング手段には、イオンドーピング法を用いた。本工程で使用されているマスクの枚数は、裏面露光技術によって、1枚削減され、3枚である。全工程は26工程からなる。

【0067】本実施例に対応する従来の作製工程は図10に示されるが、ここでは、使用されるマスクの枚数は3枚であり、全工程は23工程からなる。

【0068】以下、工程図にしたがって、本実施例を詳細に説明する。基板としては、コーニング7059ガラス（図1の101）を使用した。これを洗浄し（工程1）、その上に、スパッタ法でアルミニウム膜を厚さ400nm形成した（工程2）。そして、これをマスク④でパターニングし（工程3）、混酸（5%の硝酸を含む燐酸）でエッチングした（工程4）。その後、アルミニウムゲイト電極（図1の102）に通電して陽極酸化をおこない、最大で250Vまで電圧を上げて、陽極酸化膜（図1の103）を厚さ200nm形成した（工程5）。

【0069】その後、レジストを除去し（工程6）、ゲイト絶縁膜である窒化珪素膜（図1の104）をプラズマCVD法によって厚さ200nm形成した（工程7）。このときの基板温度は300℃とした。そして、基板洗浄（工程8）後、プラズマCVD法によって、厚さ30nmのアモルファスシリコン膜を形成した（工程9）。このときの基板温度は300℃とした。

【0070】そして、マスク④によって、半導体領域のパターニングをおこない（工程10）、アモルファスシリコン膜を CF_4 を反応ガスとする反応性イオンエッチング法によってエッチングして（工程11）、半導体領域（図1の105）を形成した。残ったレジストは除去し（工程12）、基板を洗浄した（工程13）。

【0071】その後、厚さ200nmの窒化珪素膜をプラズマCVD法によって形成した（工程14）。このときの基板温度は300℃とした。そして、レジストを塗布した状態で基板の裏面から露光し、ゲイト電極をマスクとしてセルフアライン的に窒化珪素マスクのパターニングをおこない（工程15）、窒化珪素膜をバッファ酸でエッチングして（工程16）、窒化珪素マスク（図1の106）を形成した。窒化珪素マスクの上には、厚さ約500nmのレジスト（図1の107）が残った。

【0072】ついで、イオンドーピング法によって、 $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量のリンイオンを10keVの

加速エネルギーで打ち込み（工程17）、不純物領域（図1の108）を形成した。その後、基板を洗浄し（工程18）、残存したレジストを除去した（工程19）。

【0073】その後、XeClエキシマーレーザーによってレーザーアニールをおこない（工程20）、窒化珪素マスク（図1の106）をバッファ酸でエッチングして除去した（工程21）。その後、基板を洗浄した（工程22）。

【0074】そして、アルミニウム被膜をスパッタ法によって、厚さ400nm形成し（工程23）、アルミニウム配線をマスク④によってパターニングし（工程24）、さらに、混酸によってアルミニウム被膜をエッチングして（工程25）、アルミニウム配線（図1の110）を形成した。残存したレジストは除去した（工程26）。以上の工程を経てNTFTが作製された。

【0075】〔実施例3〕 本実施例は、図7に示す作製工程にしたがって形成された。作製工程断面図は図4に対応する。ただし、図7に示されているのは、図4の金属配線・電極409形成工程までの工程である。ゲイト電極は、アルミニウムであり、ゲイト電極の表面には、工程5において厚さ約200nmの陽極酸化膜を形成して絶縁性を向上せしめた。不純物のドーピング手段には、裏面からのレーザー照射によるレーザードーピング技術を用いた。本工程で使用されているマスクの枚数は3枚である。全工程は19工程からなる。

【0076】以下、工程図にしたがって、本実施例を詳細に説明する。基板としては、コーニング7059ガラス（図4の401）を使用した。これを洗浄し（工程1）、その上に、スパッタ法でアルミニウム膜を厚さ400nm形成した（工程2）。そして、これをマスク④でパターニングし（工程3）、混酸（5%の硝酸を含む燐酸）でエッチングした（工程4）。その後、アルミニウムゲイト電極（図4の402）に通電して陽極酸化をおこない、最大で250Vまで電圧を上げて、陽極酸化膜（図4の403）を厚さ200nm形成した（工程5）。

【0077】その後、レジストを除去し（工程6）、ゲイト絶縁膜である窒化珪素膜（図4の404）をプラズマCVD法によって厚さ200nm形成した（工程7）。このときの基板温度は300℃とした。そして、基板洗浄（工程8）後、プラズマCVD法によって厚さ30nmのアモルファスシリコン膜を形成した（工程9）。このときの基板温度は300℃とした。

【0078】そして、マスク④によって、半導体領域のパターニングをおこない（工程10）、アモルファスシリコン膜を CF_4 を反応ガスとする反応性イオンエッチング法によってエッチングして（工程11）、半導体領域（図4の405）を形成した。残ったレジストは除去し（工程12）、基板を洗浄した（工程13）。

15

【0079】その後、フォスフィン雰囲気中でXeClエキシマーレーザー光を基板の裏面から露光し、ゲイト電極をマスクとしてセルフアライン的に半導体領域のレーザードーピングをおこなった(工程14)。XeClエキシマーレーザーは、波長が308nmであるので、コーニング7059ガラスでも透過することが出来た。レーザードーピング中の基板温度は300℃としたその後、基板を洗浄した(工程15)。

【0080】そして、アルミニウム被膜をスパッタ法によって、厚さ400nm形成し(工程16)、アルミニウム配線をマスク④によってパターンニングし(工程17)、さらに、混酸によってアルミニウム被膜をエッチングして(工程18)、アルミニウム配線(図4の409)を形成した。残存したレジストは除去した(工程19)。以上の工程を経てNTFTが作製された。

【0081】〔実施例4〕本実施例は、CMOS回路形成のためのもので、図8に示す作製工程にしたがって形成された。作製工程断面図は図3に対応する。ゲイト電極は、アルミニウムであり、ゲイト電極の表面には、工程5において厚さ約200nmの陽極酸化膜を形成して絶縁性を向上せしめた。不純物のドーピング手段には、レーザードーピング技術を用いた。ドーピングに際しては、同じ基板上にNTFTの領域とPTFTの領域を別々に形成した。本工程で使用されているマスクの枚数は6枚である。全工程は32工程からなる。

【0082】以下、工程図にしたがって、本実施例を詳細に説明する。基板としては、コーニング7059ガラス(図3の301)を使用した。これを洗浄し(工程1)、その上にスパッタ法でアルミニウム膜を厚さ400nm形成した(工程2)。そして、これをマスク①でパターンニングし(工程3)、混酸(5%の硝酸を含む磷酸)でエッチングした(工程4)。その後、アルミニウムゲイト電極(図3の302および303)に通電して陽極酸化をおこない、最大で250Vまで電圧を上げて、陽極酸化膜を厚さ200nm形成した(工程5)。陽極酸化の手法についてはここでは詳述しない。

【0083】その後、レジストを除去し(工程6)、ゲイト絶縁膜である窒化珪素膜(図3の304)をプラズマCVD法によって厚さ200nm形成した(工程7)。このときの基板温度は300℃とした。そして、基板洗浄(工程8)後、プラズマCVD法によって厚さ30nmのアモルファスシリコン膜を形成した(工程9)このときの基板温度は250℃とした。

【0084】そして、マスク②によって、半導体領域のパターンニングをおこない(工程10)、アモルファスシリコン膜をCF₄を反応ガスとする反応性イオンエッチング法によってエッチングして(工程11)、半導体領域(図3の305および306)を形成した。残ったレジストは除去し(工程12)、基板を洗浄した(工程13)。

16

【0085】その後、厚さ200nmの窒化珪素膜をプラズマCVD法によって形成した(工程14)。このときの基板温度は300℃とした。そして、マスク③を使用して窒化珪素マスクのパターンニングをおこない(工程15)、窒化珪素膜をバッファー弗酸でエッチングして(工程16)、窒化珪素マスク(図3の307および308)を形成した。窒化珪素マスクの上のレジストは除去した(工程17)。

【0086】ついで、基板洗浄後(工程18)、マスク④を用いてNTFTのパターンを形成した(工程19)。このとき、PTFTはレジスト(図3の309)によって覆われている。この状態でフォスフィン雰囲気においてレーザードーピング法によってリンのドーピングをおこなった(工程20)。こうして、N型の不純物領域(図3の310)を形成した。レーザードーピング終了後、残存したレジスト(図3の309)を除去し(工程21)、基板洗浄した(工程22)。

【0087】同様に、マスク⑤を用いてPTFTのパターンを形成した(工程23)。このとき、NTFTは、レジスト(図3の311)によって覆われている。この状態でジボラン雰囲気において、レーザードーピング法によってホウソのドーピングをおこなった(工程24)。こうして、P型の不純物領域(図3の312)を形成した。レーザードーピング終了後、残存したレジスト(図3の311)を除去し(工程25)、基板洗浄した(工程26)。さらに、窒化珪素マスク(図3の307および308)をバッファー弗酸でエッチングして除去した(工程27)。その後、基板を洗浄した(工程28)。

【0088】そして、アルミニウム被膜をスパッタ法によって、厚さ400nm形成し(工程29)、アルミニウム配線をマスク⑥によってパターンニングし(工程30)、さらに、混酸によってアルミニウム被膜をエッチングして(工程31)、アルミニウム配線(図3の315、316、317)を形成した。残存したレジストは除去した(工程32)。以上の工程を経てNTFTが作製された。

【0089】

【発明の効果】本発明による効果は、以上の記述から明らかなように、工程の簡略化に特徴がある。のみならず、ソース、ドレイン領域のシート抵抗が小さいために品質のよい(例えば、高速性に優れることやしきい値電圧が小さいこと等)TFTを提供できることである。このように本発明は、産業上有益である。

【図面の簡単な説明】

【図1】本発明によるTFTの作製方法の断面図を示す。

【図2】従来のTFT作製方法の断面図を示す。

【図3】本発明によるTFTの作製方法の断面図を示す。

50 ず。

17

【図4】本発明によるTFTの作製方法の断面図を示す。

【図5】本発明によるTFTの作製工程図を示す。

【図6】本発明によるTFTの作製工程図を示す。

【図7】本発明によるTFTの作製工程図を示す。

【図8】本発明によるTFTの作製工程図を示す。

【図9】従来法によるTFTの作製工程図を示す。

【図10】従来法によるTFTの作製工程図を示す。

【符号の説明】

101 基板

102

103

104

105

106

107

108

109

110

111

18

ゲイト電極

ゲイト電極の表面酸化物

ゲイト絶縁膜

半導体領域

窒化珪素マスク

フォトリソマスク

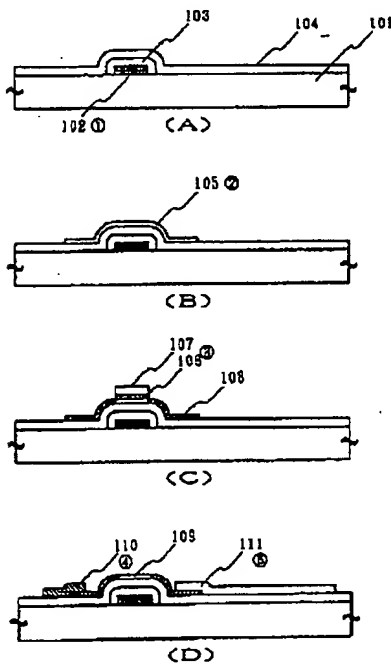
不純物領域

チャネル形成領域

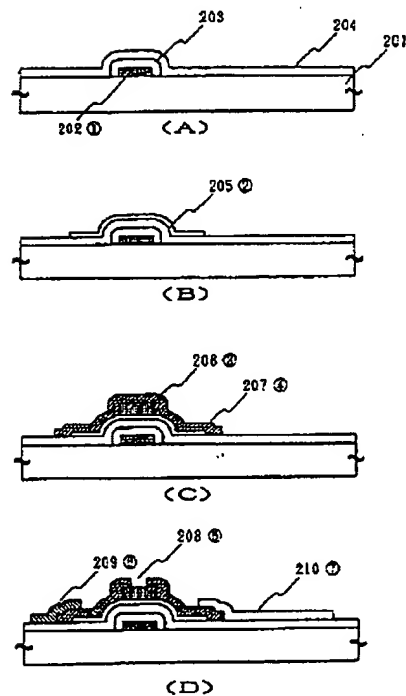
金属配線

画素電極 (ITO)

【図1】



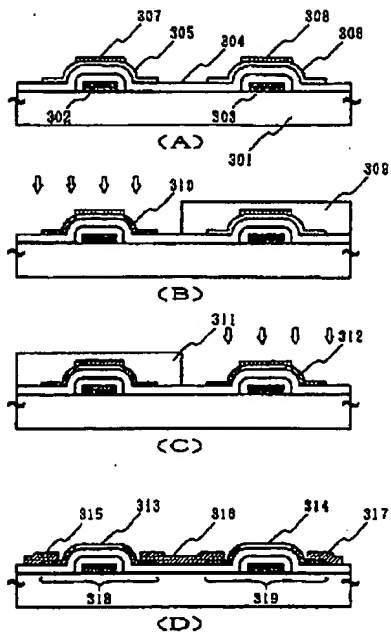
【図2】



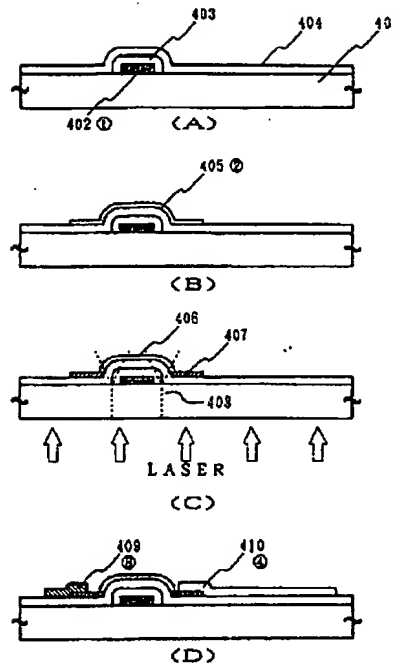
【図7】

| 工程 | 工程名 | 工程内容 |
|----|-------------|------------------------|
| 1 | 基板処理 | スベッタ: 40 m |
| 2 | アルミニウム配線 | レジスト: 40 m, 40 m, 40 m |
| 3 | ゲイト絶縁膜形成 | PECVD: 20 m |
| 4 | アルミニウムエッチング | レジスト: 40 m, 40 m, 40 m |
| 5 | アルミニウム配線 | PECVD: 20 m |
| 6 | レジスト形成 | PECVD: 20 m |
| 7 | ゲイト電極形成 | PECVD: 20 m |
| 8 | ゲイト電極形成 | PECVD: 20 m |
| 9 | ゲイト電極形成 | PECVD: 20 m |
| 10 | ゲイト電極形成 | PECVD: 20 m |
| 11 | ゲイト電極形成 | PECVD: 20 m |
| 12 | ゲイト電極形成 | PECVD: 20 m |
| 13 | ゲイト電極形成 | PECVD: 20 m |
| 14 | ゲイト電極形成 | PECVD: 20 m |
| 15 | ゲイト電極形成 | PECVD: 20 m |
| 16 | ゲイト電極形成 | PECVD: 20 m |
| 17 | ゲイト電極形成 | PECVD: 20 m |
| 18 | ゲイト電極形成 | PECVD: 20 m |
| 19 | ゲイト電極形成 | PECVD: 20 m |
| 20 | ゲイト電極形成 | PECVD: 20 m |

【図3】



【図4】



【図6】

【図5】

| 図5 | 工程名 | 工程内容 |
|----|-------------|---------------|
| 1 | 基板準備 | シリコン: 400 mm |
| 2 | タンタル化処理 | レジストコート、露光、現像 |
| 3 | ゲイト電極パターン形成 | レジストコート、露光、現像 |
| 4 | タンタル化処理 | レジストコート、露光、現像 |
| 5 | タンタル化処理 | レジストコート、露光、現像 |
| 6 | レジストコート | レジストコート、露光、現像 |
| 7 | ゲイト電極パターン形成 | レジストコート、露光、現像 |
| 8 | タンタル化処理 | レジストコート、露光、現像 |
| 9 | a-Siコート | PCVD: 20 nm |
| 10 | a-Siコート | レジストコート、露光、現像 |
| 11 | a-Siコート | レジストコート、露光、現像 |
| 12 | レジストコート | レジストコート、露光、現像 |
| 13 | タンタル化処理 | レジストコート、露光、現像 |
| 14 | タンタル化処理 | レジストコート、露光、現像 |
| 15 | タンタル化処理 | レジストコート、露光、現像 |
| 16 | タンタル化処理 | レジストコート、露光、現像 |
| 17 | タンタル化処理 | レジストコート、露光、現像 |
| 18 | タンタル化処理 | レジストコート、露光、現像 |
| 19 | タンタル化処理 | レジストコート、露光、現像 |
| 20 | タンタル化処理 | レジストコート、露光、現像 |
| 21 | タンタル化処理 | レジストコート、露光、現像 |
| 22 | タンタル化処理 | レジストコート、露光、現像 |
| 23 | タンタル化処理 | レジストコート、露光、現像 |
| 24 | タンタル化処理 | レジストコート、露光、現像 |
| 25 | タンタル化処理 | レジストコート、露光、現像 |
| 26 | タンタル化処理 | レジストコート、露光、現像 |

| 図6 | 工程名 | 工程内容 |
|----|-------------|---------------|
| 1 | 基板準備 | シリコン: 400 mm |
| 2 | タンタル化処理 | レジストコート、露光、現像 |
| 3 | ゲイト電極パターン形成 | レジストコート、露光、現像 |
| 4 | タンタル化処理 | レジストコート、露光、現像 |
| 5 | タンタル化処理 | レジストコート、露光、現像 |
| 6 | レジストコート | レジストコート、露光、現像 |
| 7 | ゲイト電極パターン形成 | レジストコート、露光、現像 |
| 8 | タンタル化処理 | レジストコート、露光、現像 |
| 9 | a-Siコート | PCVD: 20 nm |
| 10 | a-Siコート | レジストコート、露光、現像 |
| 11 | a-Siコート | レジストコート、露光、現像 |
| 12 | レジストコート | レジストコート、露光、現像 |
| 13 | タンタル化処理 | レジストコート、露光、現像 |
| 14 | タンタル化処理 | レジストコート、露光、現像 |
| 15 | タンタル化処理 | レジストコート、露光、現像 |
| 16 | タンタル化処理 | レジストコート、露光、現像 |
| 17 | タンタル化処理 | レジストコート、露光、現像 |
| 18 | タンタル化処理 | レジストコート、露光、現像 |
| 19 | タンタル化処理 | レジストコート、露光、現像 |
| 20 | タンタル化処理 | レジストコート、露光、現像 |
| 21 | タンタル化処理 | レジストコート、露光、現像 |
| 22 | タンタル化処理 | レジストコート、露光、現像 |
| 23 | タンタル化処理 | レジストコート、露光、現像 |
| 24 | タンタル化処理 | レジストコート、露光、現像 |
| 25 | タンタル化処理 | レジストコート、露光、現像 |
| 26 | タンタル化処理 | レジストコート、露光、現像 |

【図8】

| 図8 | 図8 | |
|----|----|------------|
| 1 | 図8 | |
| 2 | 図8 | スベック: 40 m |
| 3 | 図8 | レジスト: 40 m |
| 4 | 図8 | レジスト: 40 m |
| 5 | 図8 | レジスト: 40 m |
| 6 | 図8 | レジスト: 40 m |
| 7 | 図8 | レジスト: 40 m |
| 8 | 図8 | レジスト: 40 m |
| 9 | 図8 | レジスト: 40 m |
| 10 | 図8 | レジスト: 40 m |
| 11 | 図8 | レジスト: 40 m |
| 12 | 図8 | レジスト: 40 m |
| 13 | 図8 | レジスト: 40 m |
| 14 | 図8 | レジスト: 40 m |
| 15 | 図8 | レジスト: 40 m |
| 16 | 図8 | レジスト: 40 m |
| 17 | 図8 | レジスト: 40 m |
| 18 | 図8 | レジスト: 40 m |
| 19 | 図8 | レジスト: 40 m |
| 20 | 図8 | レジスト: 40 m |
| 21 | 図8 | レジスト: 40 m |
| 22 | 図8 | レジスト: 40 m |
| 23 | 図8 | レジスト: 40 m |
| 24 | 図8 | レジスト: 40 m |
| 25 | 図8 | レジスト: 40 m |
| 26 | 図8 | レジスト: 40 m |
| 27 | 図8 | レジスト: 40 m |
| 28 | 図8 | レジスト: 40 m |
| 29 | 図8 | レジスト: 40 m |
| 30 | 図8 | レジスト: 40 m |
| 31 | 図8 | レジスト: 40 m |
| 32 | 図8 | レジスト: 40 m |

【図9】

| 図9 | 図9 | |
|----|----|------------|
| 1 | 図9 | |
| 2 | 図9 | スベック: 40 m |
| 3 | 図9 | レジスト: 40 m |
| 4 | 図9 | レジスト: 40 m |
| 5 | 図9 | レジスト: 40 m |
| 6 | 図9 | レジスト: 40 m |
| 7 | 図9 | レジスト: 40 m |
| 8 | 図9 | レジスト: 40 m |
| 9 | 図9 | レジスト: 40 m |
| 10 | 図9 | レジスト: 40 m |
| 11 | 図9 | レジスト: 40 m |
| 12 | 図9 | レジスト: 40 m |
| 13 | 図9 | レジスト: 40 m |
| 14 | 図9 | レジスト: 40 m |
| 15 | 図9 | レジスト: 40 m |
| 16 | 図9 | レジスト: 40 m |
| 17 | 図9 | レジスト: 40 m |
| 18 | 図9 | レジスト: 40 m |
| 19 | 図9 | レジスト: 40 m |
| 20 | 図9 | レジスト: 40 m |
| 21 | 図9 | レジスト: 40 m |
| 22 | 図9 | レジスト: 40 m |
| 23 | 図9 | レジスト: 40 m |
| 24 | 図9 | レジスト: 40 m |
| 25 | 図9 | レジスト: 40 m |
| 26 | 図9 | レジスト: 40 m |
| 27 | 図9 | レジスト: 40 m |
| 28 | 図9 | レジスト: 40 m |
| 29 | 図9 | レジスト: 40 m |
| 30 | 図9 | レジスト: 40 m |
| 31 | 図9 | レジスト: 40 m |
| 32 | 図9 | レジスト: 40 m |

【図10】

| 図10 | 図10 | |
|-----|-----|------------|
| 1 | 図10 | |
| 2 | 図10 | スベック: 40 m |
| 3 | 図10 | レジスト: 40 m |
| 4 | 図10 | レジスト: 40 m |
| 5 | 図10 | レジスト: 40 m |
| 6 | 図10 | レジスト: 40 m |
| 7 | 図10 | レジスト: 40 m |
| 8 | 図10 | レジスト: 40 m |
| 9 | 図10 | レジスト: 40 m |
| 10 | 図10 | レジスト: 40 m |
| 11 | 図10 | レジスト: 40 m |
| 12 | 図10 | レジスト: 40 m |
| 13 | 図10 | レジスト: 40 m |
| 14 | 図10 | レジスト: 40 m |
| 15 | 図10 | レジスト: 40 m |
| 16 | 図10 | レジスト: 40 m |
| 17 | 図10 | レジスト: 40 m |
| 18 | 図10 | レジスト: 40 m |
| 19 | 図10 | レジスト: 40 m |
| 20 | 図10 | レジスト: 40 m |
| 21 | 図10 | レジスト: 40 m |
| 22 | 図10 | レジスト: 40 m |
| 23 | 図10 | レジスト: 40 m |

フロントページの続き

Fターム(参考) 5F110 AA16 AA18 BB02 BB03 BB05
 BB10 CC08 DD02 EE03 EE04
 EE44 FF01 FF03 FF09 FF24
 FF30 GG02 GG13 GG14 GG15
 GG25 GG45 HJ01 HJ13 HK03
 HK33 PP03